

PTO: 2002-0835

Japanese Published Unexamined Patent Application 4-127518,
Published April 28, 1992; Application Filing No. 2-247473,
Filed September 19, 1990; Inventor: Koichi KOBAYASHI;
Assignee: Fujitsu Corp.

SEMICONDUCTOR DEVICE MANUFACTURING METHOD

CLAIMS:

1. A semiconductor device manufacturing method, characterized in containing: a step of forming a resist pattern, using a resist whose main component is a polymer that contains halogen atoms, atop a thin film formed atop a substrate; a step wherein, by effecting ion implantation in said resist pattern, the dimensions of said resist pattern are reduced corresponding to the amount of ions implanted in said ion implantation; and a step of using said reduced resist pattern as a mask and etching of said thin film.

2. A semiconductor device manufacturing method as disclosed in claim 1, further characterized in that the amount of said ion implantation is at least $1 \times 10^{14} \text{ cm}^{-2}$ or more.

3. A semiconductor device manufacturing method as disclosed in claim 1, wherein the polymer whose main component is resist contains at least one type of halogen atom from among chlorine, bromine, or fluorine, and that the implanted ions contain at least one type of ion from among boron, phosphorus, or hydrogen.

4. A semiconductor device manufacturing method as disclosed in claim 3, further characterized in that the

polymer that is a main component of said resist is a polymethylmetacrylate wherein a portion of the metoxy groups have been substituted by chlorine atoms, and the other portion of the metoxy groups have been substituted by hydroxide groups, and furthermore the implanted ions are boron.

5. A semiconductor device manufacturing method as disclosed in claims 1 - 4, wherein the thin film to be etched is polysilicon, and a gate pattern is formed.

[DETAILED DESCRIPTION OF THE INVENTION]

[SUMMARY]

The present invention concerns manufacturing methods for semiconductor devices having extremely fine integrated circuits; has the aim of further reducing the dimensions of a resist pattern obtained by a photo-exposure method; and is structured so as to contain:

a step of forming a resist pattern, using a resist whose main component is a polymer that contains halogen atoms, atop a thin film formed atop a substrate;

a step wherein, by effecting ion implantation in said resist pattern, the dimensions of said resist pattern are reduced corresponding to the amount of ions implanted in said ion implantation;

and a step of using said reduced resist pattern as a mask and etching of said thin film.

[FIELD OF USE]

The present invention concerns manufacturing methods for semiconductor devices having extremely fine integrated circuits. As for manufacturing methods for semiconductor devices, as the miniaturization of the elements increases, there is an accompanying demand for increased precision in pattern-forming technology. The smallest dimensions capable of being formed by the technological progress of photo-exposure processes get smaller every year. However, for the purpose of increasing efficiency in actual semiconductor manufacturing, there is a demand for dimensions further reduced over those obtainable by photo-exposure. There is a necessity go respond to these demands using a variety of methods.

[PRIOR ART]

As for a method to further reduce the dimensions of a resist pattern obtained by photo-exposure methods, as disclosed in Japanese Unexamined Patent Application 57-202754, a posi-type photoresist mask is applied atop a silicon nitride film, and after implanting ions into the substrate through the resist and silicon nitride film, the resist mask is reduced using a plasma oxide. This application discloses only the use of a posi-type resist, nor does the embodiment specify a polymer, and as such it can be considered to have the effect of reducing the pattern by using oxygen plasma on an organic resist that does not contain halogen, such as a common polymethylmetacrylate (PMMA) or the like. As the pattern dimensions become smaller

than 1 μ m, the control characteristics of the dimensions worsen when etching with oxygen plasma, such that there is a disadvantage in that a fine pattern cannot be formed with precision. The main reason for this is because a uniform concentration of the plasma and because of circulation of the gas cannot be realized in etching with oxygen plasma. Because of this, the generation of offset in pattern dimensions cannot be avoided. Recently, wafer diameters have increased, and if there is a large amount of offset of pattern dimensions within the wafer, when the fine pattern is further etched with oxygen plasma so as to reduce it, the interior of the resist is roughened such that density decreases, and when using this as a mask for dry-etching of lower layers thereafter, there is a reduction in durability.

[PROBLEM TO BE ADDRESSED]

The aim of the present invention is to resolve the disadvantages of a lowered dry-etching withstanding capability and worsened dimensional control characteristics within a technique for further reducing the dimensions of a resist pattern obtained by photo-exposure.

[MEASURES TO SOLVE THE PROBLEM]

The present invention addresses said disadvantage by using a method characterized in containing: a step of forming a resist pattern, using a resist whose main component is a polymer that contains halogen atoms, atop a thin film formed atop a substrate; a step wherein, by effecting ion implantation in said resist pattern, the

dimensions of said resist pattern are reduced corresponding to the amount of ions implanted in said ion implantation; and a step of using said reduced resist pattern as a mask and etching of said thin film.

[FUNCTION]

When a high concentration of ions are implanted in a resist whose main component is a polymer containing halogen atoms, a breakdown and a bridging reaction occur simultaneously within the resist, such that halogen, oxygen, and hydrogen atoms break free into the vacuum, forming a structure with a high density carbon component. Because of this, the resist contracts, and the pattern size becomes smaller than the initial dimensions. Furthermore, because it becomes a structure containing much carbon, the dry-etching withstanding characteristics improve. Furthermore, the ion implantation can control the amount of implantation in a unit of surface area with high precision, such that the dimensional precision of the pattern within the wafer is largely increased.

The polymer that is the main component of the resist preferably contains chlorine, bromine, or iodine; for example, as shown in the following structural formula, a polymethylmetacrylate (CMR) wherein a portion of the metoxy groups are substituted by chlorine atoms, and the other portion of the metoxy groups are substituted by hydroxide groups:

[SEE PATENT DOCUMENT FOR STRUCTURAL FORMULA]

Furthermore, polychloromethylstyrene can be used. Furthermore, fluorine-containing polyhexafluorobutylmethacrylate, or bromine-containing polybromomethylstyrene can be used as well.

In contrast, with polymers that do not contain halogen atoms, such as polymethylmetacrylate (PMMA) or polymethylisopropynylketone (PMIPK), the reduction effect from the ion implantation with regards to the pattern dimensions is, when implanting of ions of a low concentration, extremely small, but when implanting of ions of a high concentration, the pattern dimensions increase, and the thickness becomes extremely thin as well.

The implanted ions are preferably boron, phosphorus, or hydrogen. It is required that the ion implantation concentration be $1 \times 10^{-14} \text{ cm}^{-2}$ or more. By means of this, an adequate effect can be obtained at small concentrations.

The combination of ion type and halogen is particularly effective with boron and chlorine and phosphorus and chlorine. It is theorized that this is because BCl_3 and PCl_3 gases are easily generated.

[EMBODIMENT]

As shown in figure 1, a heat-oxide film of $0.8\mu\text{m}$ is selectively deposited atop silicon substrate 1; a 200 Angstrom gate oxide film 2 that will become an active region is deposited atop the silicon; and polysilicon 3 is

deposited thereatop at a thickness of $0.4\mu\text{m}$ by a low-pressure gas-phase deposition at a temperature of 600°C . Furthermore, polymethylmetacrylate (CMR) that can be heated to form a three-dimensional structure and wherein, as shown in the formula above, a portion of the metoxy groups are substituted by chlorine atoms, and the other portion of the metoxy groups are substituted by hydroxide groups, is used thereatop as a thermo-bridging type posi-resist 4 having a main component of polymer containing halogen atoms.

This resist film was used to draw an exposure pattern for a gate electrode by means of a 1:1 reaction projection exposure device having a far-ultraviolet light source. The smallest limit of a pattern drawn by this exposure method was $0.91\mu\text{m}$.

Next, boron ions were implanted under conditions of an acceleration voltage of 60KeV , and an implantation amount of $1.5 \times 10^{13}\text{cm}^{-2}$ [translator's note: the superscripts are difficult to read in the original and may be inaccurate] into the test material. The resist pattern dimensions were reduced to $0.49\mu\text{m}$ and a thickness of $0.79\mu\text{m}$. In a wafer of a 15cm diameter, the dimensional variation was $\pm 0.02\mu\text{m}$ or below, and could be controlled with high precision. Furthermore, under conditions such that the implantation amount was increased to $3 \times 10^{15}\text{cm}^{-2}$ the dimensions were $0.39\mu\text{m}$ and a thickness of $0.71\mu\text{m}$. Conversely, under conditions such that the implantation amount was reduced to

$2 \times 10^{14} \text{cm}^{-2}$, the dimensions were $0.76 \mu\text{m}$ and a thickness of $0.95 \mu\text{m}$. Under conditions such that the implantation amount was reduced to $1 \times 10^{14} \text{cm}^{-2}$, the dimensions were $0.90 \mu\text{m}$ and a thickness of $1.0 \mu\text{m}$. In short, as the implantation amount comes to be $1 \times 10^{14} \text{cm}^{-2}$ or above, the effect is generated.

When the test materials were used in the etching of Polysilicon with HBr gas using an RIE dry-etching method, the dimensions were reduced to the extent that the ion implantation amount was large; by means of improving the etching withstand characteristics of the resist, and the polysilicon etching speed, the cross-section was made so as to be close to orthogonal, and a high precision was obtained. A MOSFET IC manufactured by these steps has a structure as shown in figure 2. As for the characteristics thereof, it was determined that the present invention exerts no ill effect on the device, and that the dimensions of articles of the same gate length were the same regardless of the amount or presence of ion implantation. Furthermore, to the degree the amount of ion implantation increased, MOSFET of a short gate length could be manufactured, and the characteristics thereof were, in comparison to articles of little or no ion implantation, such that the mutual conductance G_m was high and such that they had high capabilities. The improvement of etching speed by dry etching of a silicon nitride film by ion implantation was disclosed in Japanese Published Unexamined Patent Application 53-045974; however, it was

determined that this occurs with regards to dry etching of polysilicon as well.

EMBODIMENT 2

Using electron beam exposure, a pattern was drawn in resist in a similar manner to the first embodiment. The smallest pattern dimensions were $0.3\mu\text{m}$, with a thickness of

$0.6\mu\text{m}$. When boron ions were implanted under conditions of 50

KeV and $3 \times 10^{14}\text{cm}^{-2}$, a pattern with dimensions of $0.14\mu\text{m}$,

and a thickness of $0.45\mu\text{m}$ could be formed. When this was

used as a mask to etch polysilicon (thickness: $0.2\mu\text{m}$), a

fine gate electrode could be formed. The reduction of acceleration voltage in comparison to embodiment 1 was because the polysilicon thickness was reduced, such that boron would not be implanted in the gate oxide film below and in the monocrystalline silicon layer of the substrate.

EMBODIMENT 3

As for an even finer gate forming method, the polysilicon thickness was set to $0.1\mu\text{m}$, and a 20nm silicon oxide film was deposited thereatop by CVD; a nega-resist containing chlorine atoms, polychloromethylstyrene, was coated at a thickness of $0.2\mu\text{m}$ thereatop; and a $0.14\mu\text{m}$ gate pattern was formed by electron beam exposure. When phosphorous ions were implanted into this material under conditions of 50 KeV and $2 \times 10^{14}\text{cm}^{-2}$, a pattern with dimensions of $0.08\mu\text{m}$, and an extremely fine pattern could be

formed. First, this was used as a mask for etching CVD-SiO₂ with CHF₃ gas; then the polysilicon was etched with HBr gas such that a MOSFET with a gate length of 0.1μm or less could be realized.

EFFECT

By the present invention, dimensions smaller than those obtained by a normal exposure process can be obtained with good control characteristics, and the capabilities of integrated circuits can be improved.

[BRIEF EXPLANATION OF THE DRAWINGS]

Figure 1 is a chart showing the steps in forming a pattern of the present invention. Figure 2 is a cutaway of a MOSFET structure.

- 1: Substrate
- 2: Gate oxide film
- 3: Polysilicon film
- 4: Resist film
- 5: Resist pattern
- 6: Ion line
- 7: Reduced resist pattern
- 8: Polysilicon pattern
- 9: Impurity-dispersed layer
- 10: Metal electrode
- 11: Oxide film
- 12: CVD Oxide film

USPTO TRANSLATIONS BRANCH - December 11, 2001 - Matt Alt

⑫ 公開特許公報(A) 平4-127518

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)4月28日

H 01 L 21/027

7352-4M
7352-4M

H 01 L 21/30

3 6 1 P
3 6 1 H

審査請求 未請求 請求項の数 5 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-247473

⑰ 出 願 平2(1990)9月19日

⑱ 発 明 者 小 林 孝 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 青 木 朗 外4名

PTO 2002-0835

S.T.I.C. Translations Branch

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 基板上に形成された薄膜上に、ハロゲン原子を含むポリマーを主成分とするレジストを用いてレジストパターンを形成する工程と、

該レジストパターンにイオン注入を行なうことにより、該レジストパターンの寸法を該イオン注入におけるイオンの注入量に応じて縮小させる工程と、該縮小されたレジストパターンをマスクとして、該薄膜をエッチングする工程とを含むことを特徴とする半導体装置の製造方法。

2. 前記イオンの注入量は、少なくとも 1×10^{14} cm⁻² 以上であることを特徴とする請求項1記載の半導体装置の製造方法。

3. レジストの主成分であるポリマーが塩素、臭素およびフッ素のうちの少なくとも一種のハロゲン原子を含み、注入するイオンがホウ素、リンおよび水素のうちの少なくとも一種のイオンを含

む、請求項1記載の半導体装置の製造方法。

4. レジストの主成分であるポリマーが、一部のメトキシ基が塩素原子、また他の一部のメトキシ基が水酸基で置換されているポリメチルメタクリレートであり、かつ注入するイオンがホウ素イオンである、請求項3記載の半導体装置の製造方法。

5. エッチングすべき薄膜がポリシリコンであって、ゲートパターンを形成する、請求項1～4のいずれかに記載の半導体装置の製造方法。

3. 発明の詳細な説明

(概 要)

極めて微細な集積回路を有する半導体装置の製造方法に関し、

露光工程によって得られたレジストパターンの寸法をさらに縮小することを目的とし、

ハロゲン原子を含むポリマーを主成分とするレジストを用いてパターンを形成する工程と、

該レジストパターンに、イオン注入を行なうことにより、該レジストパターンの寸法を該イオン

注入におけるイオンの注入量に応じて縮小させる工程と、該縮小されたレジストパターンをマスクとして、該薄膜をエッチングする工程とを含むように構成する。

〔産業上の利用分野〕

本発明は極めて微細な集積回路を製造する方法に関する。半導体装置の製造方法は素子の微細化に伴い、パターン形成技術の高度精度化が一層重要となっている。技術の進歩により露光工程で形成できる最小のパターン寸法は年々小さくなっている。しかし、実際の半導体装置の製造においては性能の向上のため、露光により得られる寸法よりもさらに小さな寸法が要求されることがある。何らかの方法によりこの要求に応える必要がある。

〔従来の技術〕

露光工程によって得られたレジストパターンの寸法をさらに縮小する方法として、特開昭57-202754号によれば、シリコン窒化膜上にポジ型フ

ォトリジストマスクを施して、レジストおよびシリコン窒化膜を通して基板にイオン注入した後に、酸素プラズマを用いてレジストマスクを縮小させる。ポジ型レジストを使用するとのみ記載して、実施例でもポリマーを特定していないので、通常使用されるポリメチルメタクリレートPMMAなどハロゲンを含んでいない有機物のレジストに酸素プラズマを作用させてパターンを縮小させる効果を見出したものと考えられる。パターン寸法が1 μ m以下になってくると酸素プラズマでエッチングすると寸法の制御性が悪くなることと、レジストの耐ドライエッチング性が悪くなり、微細パターンを高精度には形成できなくなるという問題があった。主な理由は、酸素プラズマによるエッチングは、ガスの回り込みおよびプラズマの密度を均一にすることが実際上できない。そのためパターン寸法のバラツキを生ずることが避けられない。近年ウエーハの径が大きくなり、これに伴ってウエーハ内でパターン寸法のバラツキも極めて大きくなってしまふことと、微細パターンをさらに酸

素でエッチングして細らせると、レジスト内部がガサガサになって密度が低下し、その後これをマスクとして下地をドライエッチングしたときに耐性がなくなってしまうことによる。

〔発明が解決しようとする課題〕

本発明の目的は、露光工程によって得られたレジストパターンの寸法をさらに縮小する技術において、耐ドライエッチング性と寸法制御性が悪くなる問題点を解決することである。

〔課題を解決するための手段〕

上記課題は、エッチングすべき一層以上の薄膜の上にレジストパターンを形成し、このレジストパターンをマスクとして薄膜をドライエッチングする工程を含む半導体装置の製造方法であって、

ハロゲン原子を含むポリマーを主成分とするレジストを用いてパターンを形成する工程と、

このレジストパターンに、イオン注入を行なうことにより、該レジストパターンの寸法を該イオ

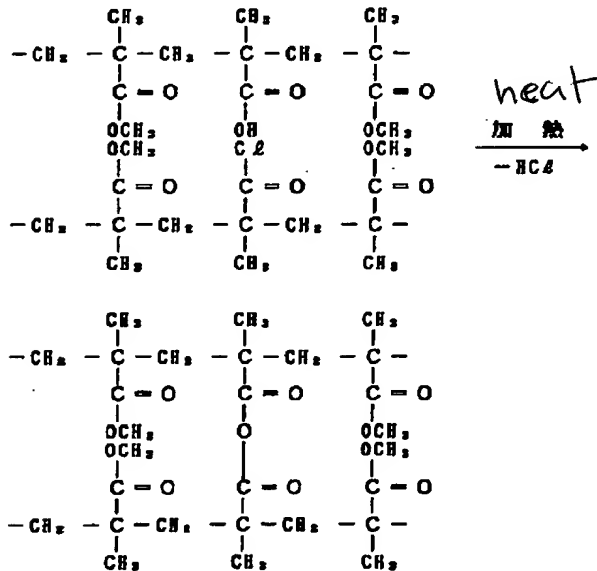
ン注入におけるイオンの注入量に応じて縮小させる工程と、該縮小されたレジストパターンをマスクとして、該薄膜をエッチングする工程とを含むことを特徴とする方法によって解決することができる。

〔作用〕

ハロゲン原子を含むポリマーを主成分とするレジストに高濃度のイオンを注入すると、そのハロゲンが活性化され、レジスト内部で分解と架橋反応が同時に進行し、ハロゲン、酸素、水素原子が真空中に飛び出し、炭素分の多い密度の高い構造となる。そのため、レジストが収縮し、パターンは初期の寸法よりも細くなる。また炭素の多い構造となるため、耐ドライエッチング性も向上する。さらにイオン注入は単位面積当たりの注入量を高精度に制御できるので、ウエーハ内のパターンの寸法精度は極めて高くなる。

レジストの主成分であるポリマーは、塩素、臭素またはヨウ素を含むことが好ましく、たとえば

次式に示すように、一部のメトキシ基が塩素原子、他の一部メトキシ基が水酸基で置換されているポリメチルメタクリレート (CHM)、



またはポリクロロメチルスチレン (CHS) を使用

(実施例)

実施例 1

第1図に示すように、シリコン基板1上に選択的に0.8 μ m厚さの熱酸化膜を成長し、動作領域となるシリコン上には200 \AA のゲート酸化膜2を成長させ、その上にポリシリコン3を600 $^{\circ}\text{C}$ の温度で低圧気相成長法により0.4 μ mの厚さに成長させた。更にその上にハロゲン原子を含むポリマーを主成分とする熱架橋型ポジレジスト4として、さきに構造式で示した、一部のメトキシ基が塩素原子、他の一部のメトキシ基が水酸基で置換されており、加熱によって三次元構造となるポリメチルメタクリレート (CHM) を使用した。

このレジスト膜を遠紫外光源を持つ1:1の反射投影露光装置によりゲート電極用の露光パターンを描画した。この露光方法の限界最小パターンは0.91 μ mであった。

次にこの試料にホウ素イオンを加速電圧60KeV、注入量 $1.5 \times 10^{13} \text{cm}^{-2}$ の条件で注入した。レジストパターンは寸法が0.49 μ m、厚さが0.79 μ mと収縮

することができる。またフッ素を含むポリヘキサフルオロブチルメタクリレート、または臭素を含むポリブロモメチルスチレンも使用することができる。

これに対して、ハロゲン原子を含まないポリマーとして、ポリメチルメタクリレートPMMA、ポリメチルイソプロペニルケトンPMIPKでは、イオン注入によるパターン寸法の縮小効果は低濃度にイオン注入するときは極く僅かに見られるが、高濃度にイオン注入するときは、パターンが流れて寸法が大きくなり、かつ厚みも極めて薄くなった。

注入するイオンはホウ素、リンまたは水素が好ましい。イオン注入濃度は $1 \times 10^{14} \text{cm}^{-2}$ 以上とすることが必要であり、これより少ない濃度では十分な効果を得られない。

イオン種とハロゲンの組み合わせとしては、ホウ素と塩素、リンと塩素が特に効果があった。これはBC ℓ_2 、PC ℓ_2 のガスが発生しやすいためと推定される。

した。直径15cmのウェーハ内では寸法バラツキは $\pm 0.02 \mu\text{m}$ 以下であり、高精度に制御することができた。また注入量を増加させ、 $3 \times 10^{14} \text{cm}^{-2}$ の条件では寸法が0.39 μ m、厚さが0.71 μ mであった。逆に注入量を減らして $2 \times 10^{14} \text{cm}^{-2}$ の条件では寸法が0.76 μ m、厚さが0.95 μ m、 $1 \times 10^{14} \text{cm}^{-2}$ の条件では寸法が0.90 μ m、厚さが1.0 μ mであった。即ち注入量が $1 \times 10^{14} \text{cm}^{-2}$ 以上になると効果が発生した。

これらの試料をRIE方式のドライエッチングでHBrガスによりポリシリコンをエッチングしたところ、イオン注入量が多いもの程寸法も小さくできたことは勿論のこと、レジストの耐エッチング性が向上したことと、ポリシリコンのエッチング速度が向上したことにより、断面形状もより垂直に近く、高精度化が達成された。これらの工程により製造した1CのMOSFETは第2図に示す構造を有するものであるが、その特性は出来上がり寸法が同一ゲート長のものはイオン注入の有無、量に因らずに同一であり、本方法はデバイスへ悪影響を何ら与えないことを確認した。またイオン

注入量の多いもの程寸法の短いゲート長のMOSFETが製造できており、それらの性能はイオン注入量の少ないものあるいは少ないものに比べて相互コンダクタンス G_m が高く高性能であった。イオン注入によりシリコン酸化膜のウエットエッチングによるエッチング速度が向上することは特開昭53-045974に述べられているが、ポリシリコンのドライエッチングでも起こることを確認した。

実施例2

電子ビーム露光を用いて、実施例1と同一のレジストにパターンを描画した。露光による最小パターンは寸法0.3 μ m、厚さ0.6 μ mであった。これに50KeV、 $3 \times 10^{14} \text{cm}^{-2}$ の条件でホウ素イオン注入したところ寸法が0.14 μ m、厚さ0.45 μ mのパターンが形成できた。これをマスクにしてポリシリコン(厚さ0.2 μ m)をエッチングして微細なゲート電極を形成できた。実施例1に比べ加速電圧を下げたのは、ポリシリコンの厚さを薄くしたので、その下のゲート酸化膜及び基板の単結晶シリコン層にホウ素が注入されないようにするためである。

実施例3

更に微細なゲート形成方法として、ポリシリコンを0.1 μ mの厚さとし、その上にCVDで20nmの厚さのシリコン酸化膜を成長し、その上に塩素原子を含むネガレジスト、ポリクロロメチルスチレン(CMS)を厚さ0.2 μ m塗布し、電子ビーム露光により0.14 μ mのゲートパターンを形成した。その試料にリンを50KeV、 $2 \times 10^{14} \text{cm}^{-2}$ の条件でイオン注入したところ寸法が0.08 μ mと、極めて微細なパターンが形成できた。これをマスクして、先ずCVD-SiO₂をCHF₃ガスでエッチングし、更にHBrガスでポリシリコンをエッチングして0.1 μ m以下のゲート長のMOSFETが実現できた。

〔発明の効果〕

本発明によれば、通常の露光工程により得られるパターン寸法よりも小さな寸法を制御性よく得られ、集積回路の性能を向上できる。

4. 図面の簡単な説明

第1図は本発明のパターン形成工程図であり、

第2図はMOSFETの構造を示す断面図である。

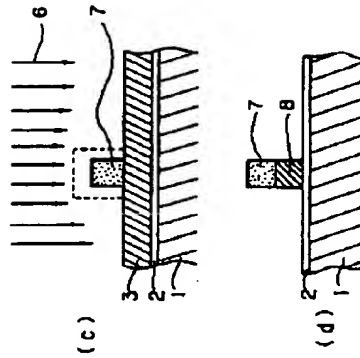
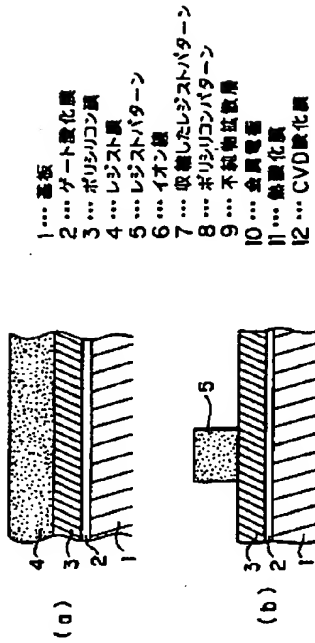
- | | |
|-----------------|------------|
| 1…基板、 | 2…ゲート酸化膜、 |
| 3…ポリシリコン膜、 | 4…レジスト膜、 |
| 5…レジストパターン、 | 6…イオン線、 |
| 7…収縮したレジストパターン、 | |
| 8…ポリシリコンパターン、 | |
| 9…不純物拡散層、 | 10…金属電極、 |
| 11…酸化物膜、 | 12…CVD酸化膜。 |

特許出願人

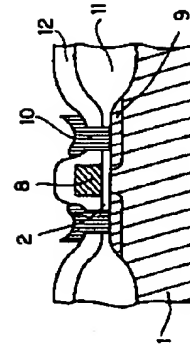
富士通株式会社

特許出願代理人

弁理士	青	木	朗
弁理士	内	田	幸男
弁理士	石	田	敬
弁理士	山	口	昭之
弁理士	西	山	雅也



本発明のパターン形成工程図
第1図



MOSFET構造図
第2図